

KR04/00718

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

BEST AVAILABLE COPY

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0021629
Application Number

출원년월일 : 2003년 04월 07일
Date of Application APR 07, 2003

REC'D 23 APR 2004

WIPO PCT

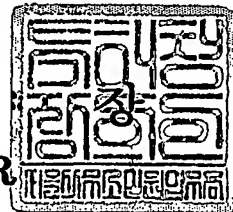
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 23 일

특 허 청

COMMISSIONER



**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.07
【발명의 명칭】	디지털 엑스레이 디텍터용 어레이 패널 및 이의 제조 방법
【발명의 영문명칭】	ARRAY PANEL FOR DIGITAL X-RAY DETECTOR AND METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	추교섭
【성명의 영문표기】	CHOO,Kyo Seop
【주민등록번호】	710825-1182518
【우편번호】	442-739
【주소】	경기도 수원시 팔달구 영통동 황골마을주공1단지아파트 130동 306호
【국적】	KR
【발명자】	
【성명의 국문표기】	전진
【성명의 영문표기】	JEON,Jin
【주민등록번호】	751127-1653119
【우편번호】	431-702
【주소】	경기도 안양시 동안구 갈산동 샘마을쌍용아파트 202동 602호
【국적】	KR
【발명자】	
【성명의 국문표기】	송준호
【성명의 영문표기】	SONG,Jun Ho

【주민등록번호】 630704-1011616
【우편번호】 463-070
【주소】 경기도 성남시 분당구 야탑동 탑마을 경남아파트 708동
2301호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다
리인 박영
우 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 16 면 16,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 45,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

게이트 구동 회로를 내장한 디지털 엑스레이 디텍터용 어레이 패널 및 이의 제조 방법이 개시된다. 스위칭 소자는 게이트 라인과 데이터 라인에 의해 정의되는 화소 영역에 형성되고, 광전변환부는 외부의 광을 전기적인 신호로 변환하며, 화소 전극은 화소 영역에 형성되며, 광전변환부에 의해 변환된 전하를 수집한다. 스토리지 캐패시터는 화소 영역에 형성되고, 드레인 전극에 연결되며, 화소 전극에 의해 수집된 전하를 저장하며, 게이트 구동부는 게이트 라인의 종단에 연결되며, 스위칭 소자의 구동을 위한 스캔 신호를 순차적으로 제공하고, 데이터 패드는 기판 위에 형성되고, 데이터 라인의 종단에 연결되며, 스위칭 소자가 턴-온됨에 따라 스토리지 캐패시터에 저장된 전하를 스위칭 소자를 경유하여 제공받는다. 이에 따라, 스캔 신호를 출력하는 게이트 구동부를 내장함으로써, 제조 원가를 절감할 수 있고, 제조 공정을 단순화시킬 수 있다.

【대표도】

도 5

【색인어】

디지털 엑스레이, 디텍터, 아몰퍼스 실리콘, 유기막, 감광성 유기물질

【명세서】

【발명의 명칭】

디지털 엑스레이 디텍터용 어레이 패널 및 이의 제조 방법{ARRAY PANEL FOR DIGITAL X-RAY DETECTOR AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 디지털 엑스레이 디텍터를 설명하는 도면이다.

도 2는 본 발명에 따른 디지털 엑스레이 디텍터용 어레이 패널을 개략적으로 설명하기 위한 도면이다.

도 3은 상기한 도 2의 쉬프트 레지스터를 설명하기 위한 도면이다.

도 4는 상기한 도 3의 단위 스테이지를 설명하기 위한 도면이다.

도 5는 상기한 도 2의 디지털 엑스레이 디텍터용 어레이 패널을 설명하기 위한 단면도이다.

도 6a 내지 도 6i는 본 발명에 따른 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법을 설명하기 위한 도면이다.

<도면의 주요부분에 대한 부호의 설명>

110 : 게이트 라인 120 : 데이터 라인

130 : 광전변환부 140 : 데이터 패드

150 : 게이트 구동부 152 : 풀업부

154 : 풀다운부 156 : 풀업구동부

158 : 풀다운구동부 270 : 보호막

280 : 광도전성 반도체층 290 : 전극

Vcom : 공통 전극 라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 디지털 엑스레이 디텍터용 어레이 패널 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 게이트 구동 회로를 내장한 디지털 엑스레이 디텍터용 어레이 패널 및 이의 제조 방법에 관한 것이다.
- <16> 일반적으로 진단용 엑스레이(X-ray) 검사방법은 엑스레이 감지 필름을 사용하여 촬영하고, 그 결과를 알기 위해서는 일정 필름 인화 시간을 거쳐야 했다. 그러나, 근래에 들어서 반도체 기술의 발전에 힘입어 박막 트랜지스터(Thin Film Transistor)를 이용한 디지털 엑스레이 디텍터(Digital X-ray detector)가 연구 개발되고 있다. 상기 디지털 엑스레이 디텍터는 박막 트랜지스터를 스위칭 소자로 사용하여, 엑스레이의 촬영 즉시 실시간으로 결과를 진단할 수 있는 장점이 있다.
- <17> 이하, 상기한 디지털 엑스레이 디텍터의 구성과 그 동작을 살펴보면 다음과 같다.
- <18> 도 1은 일반적인 디지털 엑스레이 디텍터를 도면이다. 도 1에 도시한 바와 같이, 하부에 기판(1)이 위치하고 있고, 박막 트랜지스터(3), 스토리지 캐패시터(10), 화소 전극(12), 광도전막(2), 보호막(20), 전극(24) 및 고압 직류전원(26)을 포함한다.

<19> 상기 광도전막(2)은 입사되는 전기파나 자기파 등 외부신호의 강도에 비례하여 내부적으로 전기적인 신호 즉, 전자-정공쌍(6)을 형성한다. 상기 광도전막(2)은 외부의 신호, 특히 엑스레이 광을 전기적인 신호로 변환하는 변환기의 역할을 한다.

<20> 상기 엑스레이 광에 의해 형성된 전자-정공쌍(6)은 광도전막(2) 상부에 위치하는 도전 전극(24)에 고압 직류전원(26)에서 인가된 전압(Ev)에 의해 광도전막(2) 하부에 위치하는 화소 전극(12)에 전하의 형태로 모여지고, 외부에서 접지된 공통전극과 함께 형성된 스토리지 캐패시터(10)에 저장된다. 이때, 상기 스토리지 캐패시터(10)에 저장된 전하는 외부에서 제어되는 상기 박막 트랜지스터(3)에 의해 외부의 영상 처리 소자로 보내어져 엑스레이 영상을 만들어 낸다.

【발명이 이루고자 하는 기술적 과제】

<21> 이에 본 발명의 기술과 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 게이트 구동부를 내장한 디지털 엑스레이 디텍터용 어레이 패널을 제공하는 것이다.

<22> 또한, 본 발명의 다른 목적은 상기한 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 디지털 엑스레이 디텍터용 어레이 패널은, 기판의 제1 영역에 형성되어, 외부의 광을 전기적인 신호로 변환시킨 전하를 수집하여 저장하는 디텍터용 어레이부; 및 상기 기판의 제2 영역에 형성되어, 상기 저장된 전하를 추출하기 위한 스캔 신호를 상기 디텍터용 어레이에 출력하는 게이트 구동부를 포함하여 이루어진다.

<24> 또한, 상기한 본 발명의 목적을 실현하기 위한 다른 하나의 특징에 따른 디지털 엑스레이 디텍터용 어레이 패널은, 기판; 상기 기판 위에 제1 방향으로 신장된 게이트 라인; 상기 기판 위에 제2 방향으로 신장된 데이터 라인; 상기 게이트 라인과 상기 데이터 라인에 의해 정의되는 화소 영역에 형성되며, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 스위칭 소자; 외부의 광을 전기적인 신호로 변환하는 광전변환부; 상기 화소 영역에 형성되며, 상기 광전변환부에 의해 변환된 전하를 수집하기 위한 화소 전극; 상기 화소 영역에 형성되고, 상기 드레인 전극에 연결되며, 상기 화소 전극에 의해 수집된 전하를 저장하는 스토리지 캐패시터; 상기 기판 위에 형성되고, 상기 게이트 라인의 종단에 연결되며, 상기 스위칭 소자의 구동을 위한 스캔 신호를 순차적으로 제공하는 게이트 구동부; 및 상기 기판 위에 형성되고, 상기 데이터 라인의 종단에 연결되며, 상기 스위칭 소자가 턴-온됨에 따라 상기 스토리지 캐패시터에 저장된 전하를 상기 스위칭 소자를 경유하여 제공받는 데이터 패드를 포함하여 이루어진다.

<25> 또한, 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법은, (a) 기판 위의 화소 영역에 대응하는 제1 스위칭 소자와, 상기 제1 스위칭 소자의 구동을 위한 제2 스위칭 소자와, 데이터 패드용 라인과, 스토리지 캐패시터용 라인을 형성하는 단계; (b) 상기 데이터 패드용 라인 및 스토리지 캐패시터 위에 제1 투명 전극을 형성하는 단계; (c) 절연층 및 유기막을 순차적으로 형성하고, 노광 및 현상 공정을 통해 상기 데이터 패드용 라인이 형성된 영역, 상기 제1 스위칭 소자의 드레인 전극이 형성된 영역 및 상기 스토리지 캐패시터용 라인이 형성된 영역에 대응하는 유기막을 제거하는 단계; (d) 상기 데이터 패드용 라인이 형성된 영역과, 상기 드레인 전극이 형성된 영역에 형성된 절연층을 제거하여 상기 데이터

패드 및 드레인 전극을 노출시키는 단계; 및 (e) 전하 수집을 위해 상기 데이터 패드 및 드레인 전극에 연결된 제2 투명 전극을 형성하는 단계를 포함하여 이루어진다.

<26> 이러한 디지털 엑스레이 디텍터용 어레이 패널 및 이의 제조 방법에 의하면, 영상 신호를 검출하는 디텍터용 어레이부가 형성되는 기판과 동일한 기판상에 영상에 대응하여 충전된 전하를 추출하기 위한 스캔 신호를 출력하는 게이트 구동부를 형성하므로써, 제조 원가를 절감할 수 있고, 제조 공정을 단순화시킬 수 있다.

<27> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<28> 도 2는 본 발명에 따른 디지털 엑스레이 디텍터용 어레이 패널을 개략적으로 설명하기 위한 도면이다.

<29> 도 2를 참조하면, 본 발명에 따른 디지털 엑스레이 디텍터용 어레이 패널은 가로 방향으로 신장된 게이트 라인(110), 세로 방향으로 신장된 데이터 라인(120), 상기 게이트 라인(110)과 데이터 라인(120)에 의해 정의되는 화소 영역에 형성된 스위칭 소자(TFT), 상기 스위칭 소자(TFT)의 드레인 전극에 연결된 광전변환부(130), 상기 스위칭 소자(TFT)의 드레인 전극 및 공통 전극 라인(Vcom)에 연결된 스토리지 캐패시터(C), 데이터 라인(120)의 종단에 연결된 데이터 패드(140) 및 게이트 라인(110)의 종단에 연결된 게이트 구동부(150)를 포함한다. 여기서, 데이터 패드(140) 뿐만 아니라, 게이트 구동부(150)는 다수의 게이트 라인(110)이나 데이터 라인(120)이 형성되는 동일 기판상에 형성된다. 또한, 공통 전극 라인(Vcom)은 일종의 그라운드 전위가 연결되며, 상기 스토리지 캐패시터에 충전된 전하가 데이터 패드를 통해 완전히 빠져 나가지 못하는 경우, 상기 충전된 전하를 완전 제거하기 위함이다.

- <30> 동작시, 게이트 라인(110)과 데이터 라인(120)에 의해 분할된 영역 각각에 형성되는 광전변환부(130)는 외부로부터 제공되는 광의 강도에 비례하여 내부적으로 전기적인 신호인 전하로 변환하고, 변환된 전하를 스토리지 캐패시터(C)에 저장한다.
- <31> 한편, 영상에 대응하여 충전된 전하를 추출하기 위해 게이트 구동부(150)로부터 제공되는 스캔 신호에 응답하여 스위칭 소자가 턴-온함에 따라 스위칭 소자(TFT)의 드레인에 연결된 스토리지 캐패시터(C)에 저장된 전하는 스위칭 소자(TFT)의 드레인 전극과 소오스 전극을 경유하여 데이터 패드(140)를 일종의 인터페이스로 하여 외부에 출력된다.
- <32> 도 3은 상기한 도 2의 게이트 구동부를 설명하기 위한 도면이다.
- <33> 도 3을 참조하면, 일종의 쉬프트 레지스터의 기능을 수행하는 게이트 구동부(150)는 게이트 라인들에 대응하는 N개의 스테이지들(SRC1~SRCN)과 하나의 더미 스테이지(SRCN+1)가 연결된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 갖는다.
- <34> 첫 번째 스테이지(SRC1)의 입력단자(IN)에는 스캔개시신호(STV)가 입력된다. 여기서 스캔개시신호(STV)는 수직동기신호(Vsync)에 동기된 펄스이다.
- <35> 각 스테이지의 출력신호(GOUT1~GOUTN)는 대응되는 각 게이트 라인에 연결된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 또한 제1 클럭(CKV)과 제2 클럭(CKVB)의 듀티 기간은 $16.6/N[\text{ms}]$ 의 기간이 될 것이다.

- <36> 그러므로, 데이터 구동회로의 쉬프트 레지스터의 클럭의 듀티기간에 비하여 게이트 구동회로의 쉬프트 레지스터의 클럭의 듀티기간이 약 8배 이상이 된다.
- <37> 각 스테이지(SRC1, SRC2, SRC3, ...)의 각 제어단자(CT)에는 다음 스테이지(SRC2, SRC3, SRC4, ...)의 출력신호(GOUT2, GOUT3, GOUT4)가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.
- <38> 따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 수평라인이 선택되게 된다.
- <39> 도 4는 상기한 도 3의 단위 스테이지를 설명하기 위한 도면이다.
- <40> 도 4를 참조하면, 각 스테이지는 풀업부(152), 풀다운부(154), 풀업구동부(156) 및 풀다운구동부(158)를 포함한다.
- <41> 풀업부(152)는 파워 클럭 입력단자(CKV)에 드레인이 연결되고, 제1 노드(N1)에 게이트가 연결되고, 출력단자(GOUT[N])에 소오스가 연결된 제1 NMOS 트랜지스터(Q1)로 구성된다.
- <42> 풀다운부(154)는 출력단자(GOUT[N])에 드레인이 연결되고, 제2 노드(N2)에 게이트가 연결되고, 소오스가 제1 전원전압(VSS)에 연결된 제2 NMOS 트랜지스터(Q2)로 구성된다.
- <43> 풀업구동부(156)는 캐패시터(C), 제3 내지 제5 NMOS 트랜지스터(Q3~Q5)로 구성된다. 구체적으로, 캐패시터(C)는 제1 노드(N1)와 출력단자(GOUT[N]) 사이에 연결된다. 제3 NMOS 트랜지스터(Q3)는 드레인이 제2 전원 전압(VON)에 연결되고, 게이트가 입

력단자(IN), 즉 이전 스테이지의 출력 신호(GOUT[N-1])에 연결되며, 소오스가 제1 노드(N1)에 연결된다. 제4 NMOS 트랜지스터(Q4)는 드레인이 제1 노드(N1)에 연결되고, 게이트가 제2 노드(N2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제5 NMOS 트랜지스터(NT5)는 드레인이 제1 노드(N1)에 연결되고, 게이트가 제2 노드(N2)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제3 NMOS 트랜지스터(Q3)의 사이즈는 제5 NMOS 트랜지스터(Q5)의 사이즈보다 2배 정도 크게 형성된다.

<44> 풀다운구동부(158)는 제6 및 제7 NMOS 트랜지스터들(Q6, Q7)로 구성된다. 구체적으로, 제6 NMOS 트랜지스터(Q6)는 드레인과 게이트가 공통되어 제2 전원전압(VON)에 연결되고, 소오스가 제2 노드(N2)에 연결된다. 제7 NMOS 트랜지스터(Q7)는 드레인이 제2 노드(N2)에 연결되고, 게이트가 제1 노드(N1)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제6 NMOS 트랜지스터(Q6)의 사이즈는 제7 NMOS 트랜지스터(Q7)의 사이즈보다 16배 정도 크게 형성된다.

<45> 상기한 도 3 및 도 4에 도시한 바와 같이, 제1 및 제2 파워 클럭(CKV, CKVB)과 스캔개시신호(ST)가 게이트 구동부, 즉 쉬프트 레지스터에 공급되면, 첫 번째 스테이지(SRC1)에서는 스캔개시신호(ST)의 선단에 응답하여 제1 파워 클럭(CKV)의 하이 레벨 구간을 소정 시간 지연시켜서 출력단자(OUT)에 출력신호(GOUT1)로 발생한다.

<46> 이상에서 설명한 바와 같이, 디지털 엑스레이 디텍터용 어레이 패널상의 쉬프트 레지스터에는 스캔개시신호(STV)와 함께 제1 및 제2 파워 클럭(CKV, CKVB)이 공급되어 게이트 구동 회로로서 동작을 수행한다.

<47> 도 5는 상기한 도 2의 절단선 A-A'으로 절단한 단면도로서, 특히 게이트 구동부, 데이터 패드, 스위칭 소자 및 스토리지 캐패시터에 대응하는 단면도이다.

<48> 도 2 및 도 5를 참조하면, 기판(205) 위에는 다수의 게이트 라인과 데이터 라인에 의해 정의되는 화소 영역 각각에 스위칭 소자(TFT)와 스토리지 캐패시터(C)가 형성되고, 상기 스위칭 소자(TFT)와 스토리지 캐패시터(C)가 형성된 동일 기판 위에 상기 스위칭 소자(TFT)를 턴-온시키기 위한 게이트 구동부(150)와, 상기 스위칭 소자(TFT)의 턴-온에 의해 상기 스토리지 캐패시터(C)에 저장된 전하를 출력하기 위한 데이터 패드(140)가 형성되며, 절연층(240), 유기막(250), 전하 수집을 위한 화소 전극(260), 즉 제2 ITO가 형성되어 디지털 엑스레이 디텍터용 어레이 기판을 정의한다.

<49> 구체적으로, 상기 게이트 구동부(150)는 기판(205)상에 순차적으로 형성된 게이트 전극(210), 산화 실리콘 혹은 질화 실리콘과 같은 게이트 절연막(215), 진성 반도체 물질과 불순물이 포함된 반도체 물질이 연속 증착된 반도체 층(216), 소오스-드레인 전극(221, 222)을 포함하는 아몰퍼스-실리콘 트랜지스터로 이루어져, 상기 스위칭 소자(TFT)를 턴-온시키기 위한 스캔 신호를 출력한다. 여기서, 상기 게이트 구동부(150)에 구비되는 트랜지스터나 상기 스위칭 소자(TFT)를 구성하는 트랜지스터는 동일하게 아몰퍼스-실리콘 트랜지스터인 것이 바람직하다.

<50> 물론 상기한 도 3 및 도 4에서 설명한 바와 같이, 하나의 게이트 구동부(150)를 구현하기 위해서는 적어도 게이트 라인의 수만큼의 스테이지가 필요하고, 상기 스테이지에는 다수의 트랜지스터가 필요한데, 여기서는 설명의 편의를 위해 아몰퍼스-실리콘 트랜지스터로 하나만을 도시한다.

<51> 상기 아몰퍼스-실리콘 트랜지스터 위에는 절연층(240)이, 상기 절연층(240) 위에 유기막(250)이 순차적으로 형성되며, 상기 유기막(250) 위에는 하부에 구비되는 아몰퍼스-실리콘 트랜지스터 전체를 커버하는 전하 수집 전극으로 이용되는 제2 ITO(260)가 형

성된다. 여기서, 유기막(250)은 폴리 카보네이트 또는 포토 아크릴인 것이 바람직하다. 상기한 유기막(250)을 구비함으로써, 별도의 에칭 공정없이 노광 및 현상 공정만으로 데이터 패드나 스위칭 소자의 드레인 전극(225)을 노출시킬 수 있고, 스토리지 캐패시터에 형성된 유기막을 완전 제거할 수 있다.

<52> 상기 데이터 패드가 형성되는 영역에는 기판(205)위에 형성된 데이터 라인(223), 데이터 라인 위에 형성된 제1 IT0(230), 제1 IT0(230) 위에 형성되면서 개구된 절연층(240) 및 유기막(250)을 통해 제1 IT0(230)과 접촉하는 제2 IT0(260)로 이루어진다. 상기 제1 IT0(230)과 제2 IT0(260)는 콘택홀을 통해 접촉한다.

<53> 상기 스위칭 소자(TFT)는 기판(205)위에 순차적으로 형성된 게이트 전극(212), 산화 실리콘 혹은 질화 실리콘과 같은 게이트 절연막(215), 진성 반도체 물질과 불순물이 포함된 반도체 물질이 연속 증착된 반도체 층(217), 소오스-드레인 전극(224,225)을 포함하는 아몰퍼스-실리콘 트랜지스터로 이루어져, 게이트 전극(212)을 통해 인가되는 스캔 신호에 응답하여 턴-온되어 드레인 전극(225)에 연결된 스토리지 캐패시터(C)에 충전된 전하를 소오스 전극(224)을 경유하여 데이터 패드(140)에 제공한다.

<54> 상기 스토리지 캐패시터(C)는 기판(205)상의 게이트 절연막(215) 위에 형성된 캐패시터 전극(226)과 화소 전극(260), 즉 제2 IT0(260)으로 이루어지고, 상기 캐패시터 전극(226) 및 제2 IT0(260) 사이에는 절연층(240)과 유기막(250)이 게재된다.

<55> 여기서, 상기 화소 전극(260)은 스위칭 소자(TFT) 상부까지 연장되어 형성되며, 광도전막에서 발생한 정공이 스토리지 캐패시터(C) 내에 축적될 수 있도록 전하를 모으는 집전 전극의 역할을 수행한다.

- <56> 또한, 상기 화소 전극(260)은 상기 스토리지 캐패시터(C) 내에 저장된 정공이 상기 스위칭 소자(TFT)를 통해 들어오는 전자와 결합될 수 있도록 드레인 콘택홀(264)을 통해 드레인 전극(225)과 전기적으로 연결되어 있다.
- <57> 한편, 상기 디지털 엑스레이 디텍터용 어레이 기판 위에는 보호막(270)이 평탄하게 형성되고, 상기 보호막(270) 위에 광도전성 반도체층(280)(도 2에서는 130)이 형성되며, 상기 광도전성 반도체층(280) 위에 전극(290)이 형성되어 디지털 엑스레이 디텍터를 완성한다.
- <58> 그러면, 상기한 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법을 첨부 도면을 참조하여 상세히 설명한다.
- <59> 도 6a 내지 도 6i는 본 발명에 따른 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법을 설명하기 위한 도면이다.
- <60> 도 6a에 도시한 바와 같이, 기판(205) 위의 영역중 어몰퍼스-실리콘 트랜지스터로 이루어지는 게이트 구동부가 구비될 영역 및 각 단위 셀을 정의하는 TFT 영역에 게이트 전극 라인을 형성하기 위한 이중 금속막(210)을 형성한다. 예를들어, 하부층으로 알루미늄 금속층을 형성하고, 그 상부에 크롬(Cr)이나 몰리브덴(Mo)과 같은 금속을 더 증착한다. 물론 도면상에는 이중 금속막을 게이트 전극 라인으로 도시하였으나, 알루미늄 등과 같은 단일 금속막만 형성할 수도 있다.
- <61> 도 6b에 도시한 바와 같이, 상기한 도 6a에 의한 결과물 위에 산화 실리콘 혹은 질화 실리콘과 같은 절연 물질을 전면 증착하고, 차례로 진성 반도체 물질과 불순물이 포함된 반도체 물질을 연속 증착한다. 이어, 상기 절연 물질, 진성 반도체 물질 및 불순물

이 첨가된 반도체 물질을 식각하여 게이트 절연막(215), 상기 게이트 구동부에 대응하는 반도체 층 및 불순물이 첨가된 반도체 층(216), 상기 스위칭 소자(TFT)에 대응하는 반도체 층 및 불순물이 첨가된 반도체 층(217)을 형성한다. 그 결과, 상기 게이트 절연막(215)은 상기 게이트 전극 라인(210) 전체를 덮고 있고, 상기 게이트 구동부 및 스위칭 소자(TFT) 각각에 대응되는 반도체 층 및 불순물 반도체 층(216)(217)은 상기 게이트 절연막(215)위에 형성된다.

<62> 도 6c에 도시한 바와 같이, 상기 도 6b에 의한 결과물 위에 크롬(Cr)이나 크롬 합금과 같은 금속을 전면 증착한 후, 일정 영역을 식각하여 상기 게이트 구동부에 대응하는 영역에 소오스-드레인 전극 라인(221, 222)을 형성하고, 상기 스위칭 소자(TFT)에 대응하는 영역에 상기 소오스-드레인 전극 라인(224, 215)을 형성하며, 상기 데이터 패드 영역 및 스토리지 영역 각각에 메탈 라인(223, 226)을 형성한다.

<63> 도 6d에 도시한 바와 같이, 상기 도 6c에 의한 결과물 위의 영역중 상기 데이터 패드에 대응하는 영역 및 상기 스토리지 캐패시터에 대응하는 영역에 인듐주석산화물(IndiumTin Oxide : ITO)(230, 231)을 각각 증착한다. 특히, 상기 스토리지 캐패시터에 대응하는 영역에 투명 물질인 ITO를 형성하는 이유는 광도전성 막과 같은 광전변환부에 의해 축적된 전하를 광학적인 방법으로 리프레쉬(refresh)시키기 위함이다. 상기한 ITO 외에 광을 투과시키기 위해 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)을 이용할 수도 있다.

<64> 도 6e에 도시한 바와 같이, 상기 도 6d에 의한 결과물 위에 노광이나 에칭 공정없이 실리콘 질화막(SiNx)(240)을 증착한다. 상기 실리콘 질화막의 역할은 상기 스토리지 캐패시터의 절연막으로 작용하며, 상기 스위칭 소자(TFT)의 채널 영역에 대응하는 계면

이 이후의 공정에서 형성될 유기막과 접촉하는 것을 막아 아몰퍼스-실리콘 트랜지스터의 전류 특성을 안정화시킨다.

<65> 도 6f에 도시한 바와 같이, 상기 도 6e에 의한 결과물 위에 유기막(250)을 전면 코팅한다. 여기서, 상기 유기막(250)은 광감응성 유기 재료인 것이 바람직하다. 왜냐하면, 기존에는 엑스레이 디텍터용 패넬을 형성할 때 유기재료로서 BCB(Benzo Cyclo Butene)을 사용하는 경우에는 상기한 패넬을 형성하기 위해 건식 식각 공정이 필요하였다. 하지만, 상기한 광감응성 유기 재료를 사용하면 노광 및 현상 공정만으로도 패턴 형성이 가능하므로 공정을 단순화시킬 수 있다. 또한, 상기 유기막(250)은 패시베이션막으로 작용하여 고개구율 구조를 적용할 수 있고, 이후의 공정에서 형성되는 전하 수집 전극의 면적을 최대화하여 필 팩터(Fill Factor)를 85% 이상까지 늘릴 수 있다.

<66> 도 6g에 도시한 바와 같이, 상기한 도 6f에 의한 결과물 위에서 상기 데이터 패드가 배치되는 영역 및 상기 스위칭 소자의 드레인 전극에 대응하는 영역에 배치되는 유기막(250)을 노광 및 현상시켜 비어 홀(252, 254)을 형성한다.

<67> 도 6h에 도시한 바와 같이, 상기한 도 6g에 의한 결과물 위에서 상기 데이터 패드가 배치되는 영역 및 상기 스위칭 소자의 드레인 전극에 대응하는 영역에 배치되는 실리콘 질화막을 에칭시켜 비어홀(242)을 통해 상기 데이터 패드를 노출시키고, 비어홀(244)을 통해 상기 스위칭 소자의 드레인 전극을 노출시킨다.

<68> 도 6i에 도시한 바와 같이, 상기한 도 6h에 의한 결과물 위에 전하 수집 전극을 위한 ITO를 전면 도포한 후, 상기 데이터 구동부에 대응하는 영역, 상기 데이터 패드에 대응하는 영역, 상기 스위칭 소자에 대응하는 영역 및 상기 스토리지 캐패시터에 대응하는 영역에 형성된 ITO(260)만 남겨놓고 나머지 ITO는 패터닝하여

제거한다. 특히, 상기 유기막(250)을 패시베이션막으로 사용하므로써, 고개구율 구조의 구현이 가능하므로 상기 전하 수집 전극을 위한 IT0(260)의 면적을 최대로 할 수 있다. 특히, 상기 전하 수집 전극을 위한 IT0(260)가 상기 스위칭 소자(TFT) 전체를 커버하고, 그리고 상기 게이트 구동부 전체를 커버하여, 엑스레이에 의해 생성된 전하들이 스위칭 소자인 아몰퍼스-실리콘 트랜지스터의 오프 전류나 게이트 구동부에 구비되는 아몰퍼스-실리콘 트랜지스터의 오프 전류(off current)를 유발하는 것을 차단한다.

<69> 상기한 과정을 통해 디지털 엑스레이 디텍터용 어레이 패널의 제조를 완료한다. 이후의 공정으로는 상기한 도 6i에 의한 결과물 상부에 보호막(270)을 전면 코팅하고, a-Se 등의 광도전성 반도체(280)를 코팅하며, 최종적으로 광도전성 반도체(280) 상부에 전극(290)을 형성하는 공정을 거쳐서 상기한 도 5에 도시한 바 있는 디지털 엑스레이 디텍터를 완성한다. 상기 광도전성 반도체(280)는 보호막(270) 위에 화소 영역별로 형성할 수도 있고, 보호막(270) 위의 전체 면적에 걸쳐 형성할 수도 있다.

<70> 상기한 실시예에서는 유기막으로 감광성 유기재료를 이용하여 별도의 에칭 공정없이 노광 및 현상 공정만으로 상기 데이터 패드가 배치되는 영역 및 상기 스위칭 소자의 드레인 전극에 대응하는 영역에 배치되는 유기막을 제거하는 것을 설명하였으나, BCB(Benzo Cyclo Butene)와 같은 재료를 이용할 수도 있을 것이다.

<71> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<72> 이상에서 설명한 바와 같이, 본 발명에 따르면 디지털 엑스레이 디텍터용 어레이 패널이 형성되는 동일 기판에 스캔 신호를 제공하기 위한 게이트 구동부를 내장하므로써, 제조 원가를 절감할 수 있을 뿐만 아니라, 기구 설계적인 측면에서 마진을 확보할 수 있다. 즉, 상기한 디지털 엑스레이 디텍터용 어레이 패널로부터 영상을 얻기 위해 스캔 신호를 제공하는 게이트 구동부를 TCP(Tape Carrier Package) 방식이나 COG(Chip On Glass) 방식 등을 이용하여 장착하지 않더라도 구현이 가능하므로 제조 원가나 기구 설계의 마진을 확보할 수 있다. 또한, 상기한 디지털 엑스레이 디텍터용 어레이 패널을 형성할 때, 게이트 구동부를 형성할 수 있으므로 별도로 게이트 구동부를 제조하는 번거로움을 제거할 뿐만 아니라, 상기 어레이 패널에 상기 게이트 구동부를 조립하는 공수를 줄일 수 있다.

<73> 또한, 상기한 게이트 구동부나 스위칭 소자의 상부에 폴리 카보네이트(PC)나 포토 아크릴(PA)과 같은 감광성 유기 재료를 형성하므로써, 상기 유기재료의 하부에 구비되는 게이트 구동부나 스위칭 소자를 노출시키기 위해 에칭 공정을 이용하지 않더라도 노광 및 현상 공정만으로 가능하므로 제조 공정을 단순화시킬 수 있을 뿐만 아니라, 상기 유기막이 패시베이션 막의 기능을 수행하므로 개구율을 높일 수 있어 전하 수집을 위한 화소 전극의 면적을 최대화할 수 있다.

【특허청구범위】**【청구항 1】**

기판의 제1 영역에 형성되어, 외부의 광을 전기적인 신호로 변환시킨 전하를 수집하여 저장하는 디텍터용 어레이부; 및

상기 기판의 제2 영역에 형성되어, 상기 저장된 전하를 추출하기 위한 스캔 신호를 상기 디텍터용 어레이에 출력하는 게이트 구동부를 포함하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 2】

제1항에 있어서, 상기 게이트 구동부는 다수의 아몰퍼스-실리콘 박막 트랜지스터를 갖는 복수의 스테이지들로 이루어지고, 첫 번째 스테이지에는 개시신호가 입력단에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터인 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 3】

기판;

상기 기판 위에 제1 방향으로 신장된 게이트 라인;

상기 기판 위에 제2 방향으로 신장된 데이터 라인;

상기 게이트 라인과 상기 데이터 라인에 의해 정의되는 화소 영역에 형성되며, 게이트 전극, 소오스 전극 및 드레인 전극을 포함하는 스위칭 소자;

외부의 광을 전기적인 신호로 변환하는 광전변환부;

상기 화소 영역에 형성되며, 상기 광전변환부에 의해 변환된 전하를 수집하기 위한 화소 전극;

상기 화소 영역에 형성되고, 상기 드레인 전극에 연결되며, 상기 화소 전극에 의해 수집된 전하를 저장하는 스토리지 캐패시터;

상기 기판 위에 형성되고, 상기 게이트 라인의 종단에 연결되며, 상기 스위칭 소자의 구동을 위한 스캔 신호를 순차적으로 제공하는 게이트 구동부; 및

상기 기판 위에 형성되고, 상기 데이터 라인의 종단에 연결되며, 상기 스위칭 소자가 턴-온됨에 따라 상기 스토리지 캐패시터에 저장된 전하를 상기 스위칭 소자를 경유하여 제공받는 데이터 패드를 포함하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 4】

제3항에 있어서, 상기 게이트 구동부는 다수의 아몰퍼스-실리콘 박막 트랜지스터를 갖는 복수의 스테이지들로 이루어지고, 첫 번째 스테이지에는 개시신호가 입력단에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터인 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 5】

제2항에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며,

상기 각 스테이지는,

출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단; 및

상기 풀다운수단의 입력노드에 연결되고, 입력신호의 선단에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단을 포함하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 6】

제3항에 있어서, 상기 화소 전극과 스위칭 소자간에 형성된 유기막을 더 구비하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 7】

제3항에 있어서, 상기 화소 전극과 게이트 구동부간에 형성된 유기막을 더 구비하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 8】

제3항에 있어서, 상기 화소 전극은 ITO인 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 9】

제3항에 있어서, 상기 화소 전극은 상기 스위칭 소자 전체를 커버하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 10】

제3항에 있어서, 상기 화소 전극은 상기 게이트 구동부 전체를 커버하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널.

【청구항 11】

(a) 기판 위의 화소 영역에 대응하는 제1 스위칭 소자와, 상기 제1 스위칭 소자의 구동을 위한 제2 스위칭 소자와, 데이터 패드용 라인과, 스토리지 캐패시터용 라인을 형성하는 단계;

(b) 상기 데이터 패드용 라인 및 스토리지 캐패시터 위에 제1 투명 전극을 형성하는 단계;

(c) 절연층 및 유기막을 순차적으로 형성하고, 노광 및 현상 공정을 통해 상기 데이터 패드용 라인이 형성된 영역, 상기 제1 스위칭 소자의 드레인 전극이 형성된 영역 및 상기 스토리지 캐패시터용 라인이 형성된 영역에 대응하는 유기막을 제거하는 단계;

(d) 상기 데이터 패드용 라인이 형성된 영역과, 상기 드레인 전극이 형성된 영역에 형성된 절연층을 제거하여 상기 데이터 패드 및 드레인 전극을 노출시키는 단계; 및

(e) 전하 수집을 위해 상기 데이터 패드 및 드레인 전극에 연결된 제2 투명 전극을 형성하는 단계를 포함하는 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법.

【청구항 12】

제11항에 있어서,

(f) 상기 제2 투명 전극에 의해 노출된 유기막 및 상기 제2 투명 전극 위에 보호막을 형성하는 단계;

(g) 상기 보호막 위에 광도전성 반도체를 형성하는 단계; 및

(h) 상기 광도전성 반도체 위에 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법.

【청구항 13】

제11항에 있어서, 상기 제2 투명 전극은 상기 제1 스위칭 소자 전체를 커버하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법.

【청구항 14】

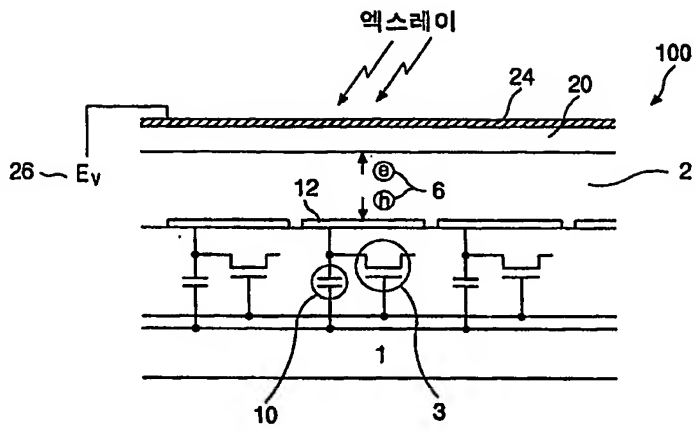
제11항에 있어서, 상기 제2 투명 전극은 상기 제2 스위칭 소자 전체를 커버하는 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법.

【청구항 15】

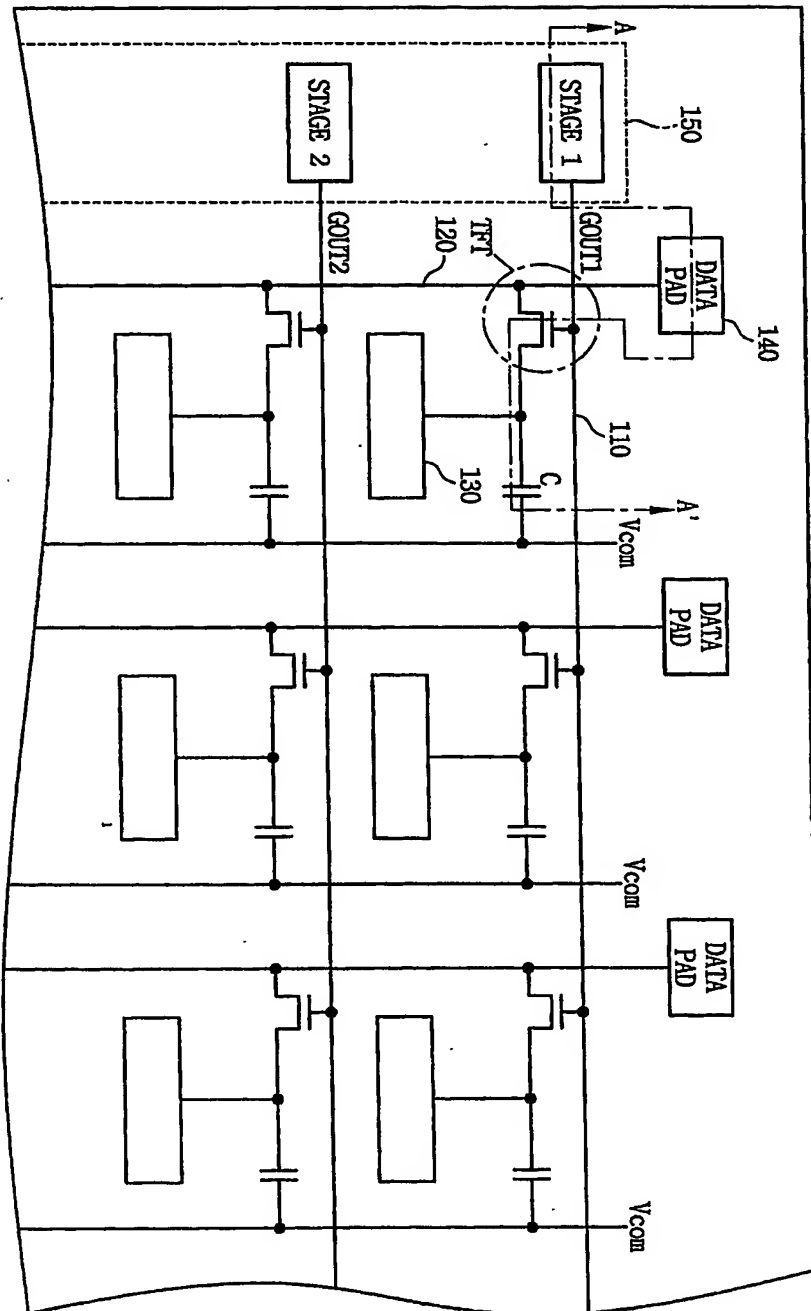
제11항에 있어서, 상기 제2 스위칭 소자는 다수의 아몰퍼스-실리콘 박막 트랜지스터를 갖는 복수의 스테이지들로 이루어지고, 첫 번째 스테이지에는 개시신호가 입력단에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터인 것을 특징으로 하는 디지털 엑스레이 디텍터용 어레이 패널의 제조 방법.

【도면】

【도 1】

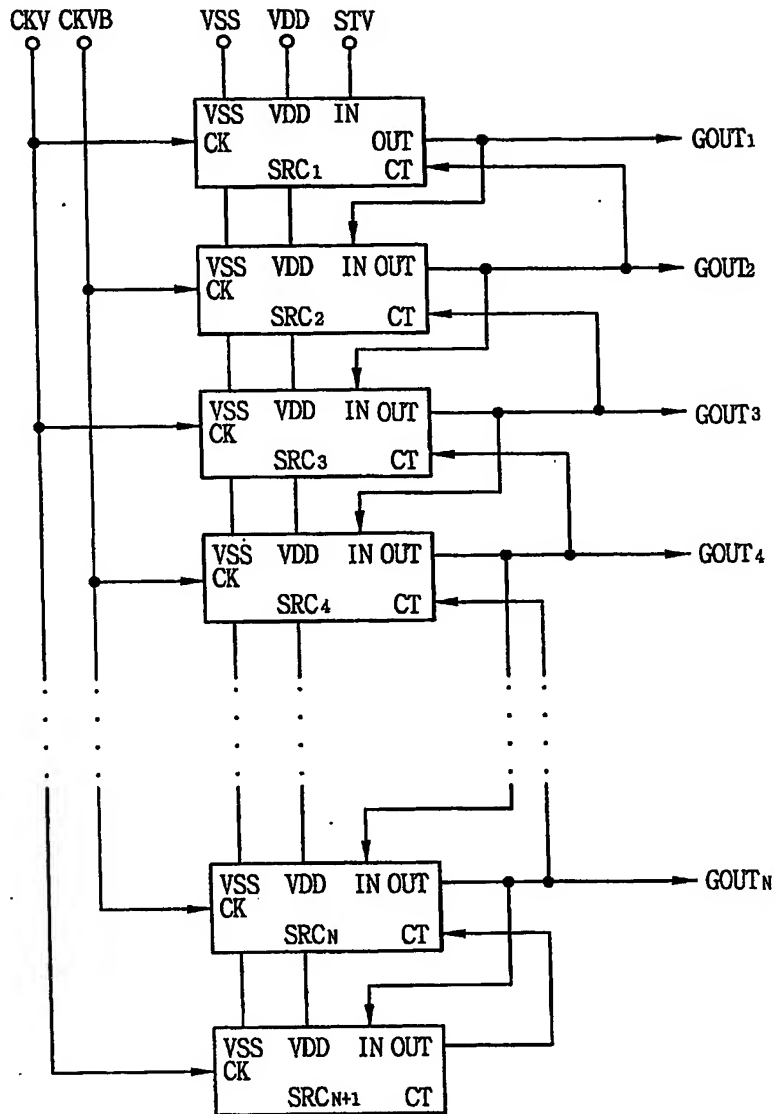


【도 2】

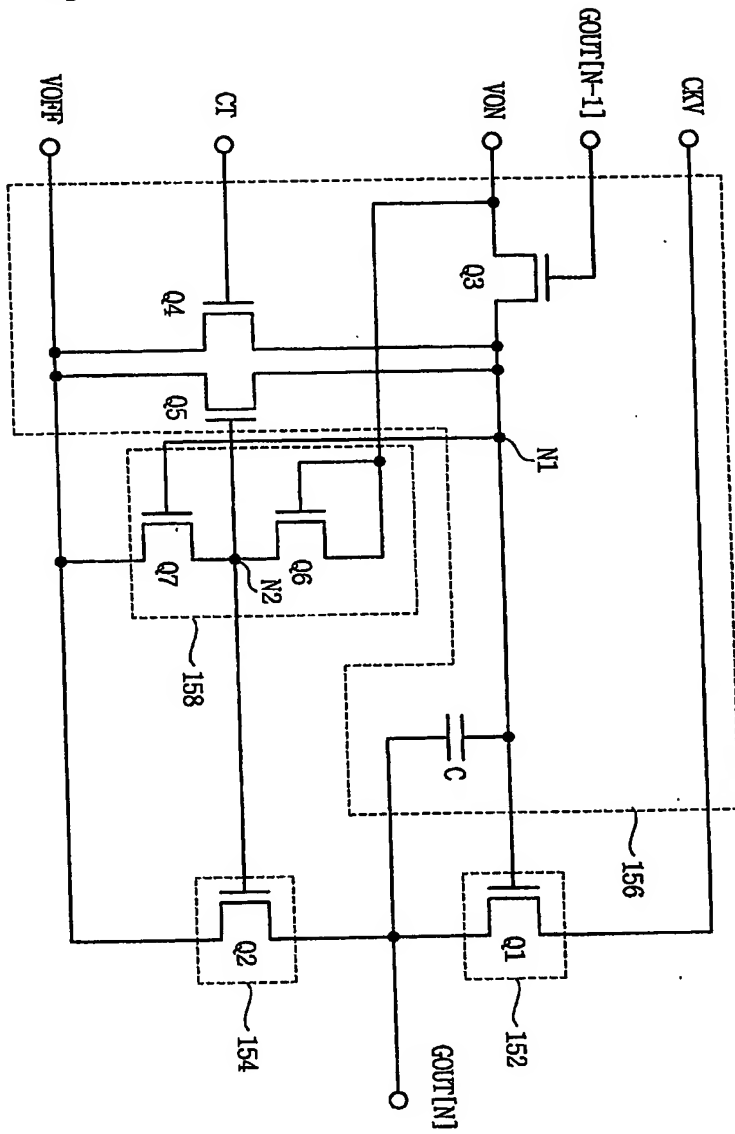


【도 3】

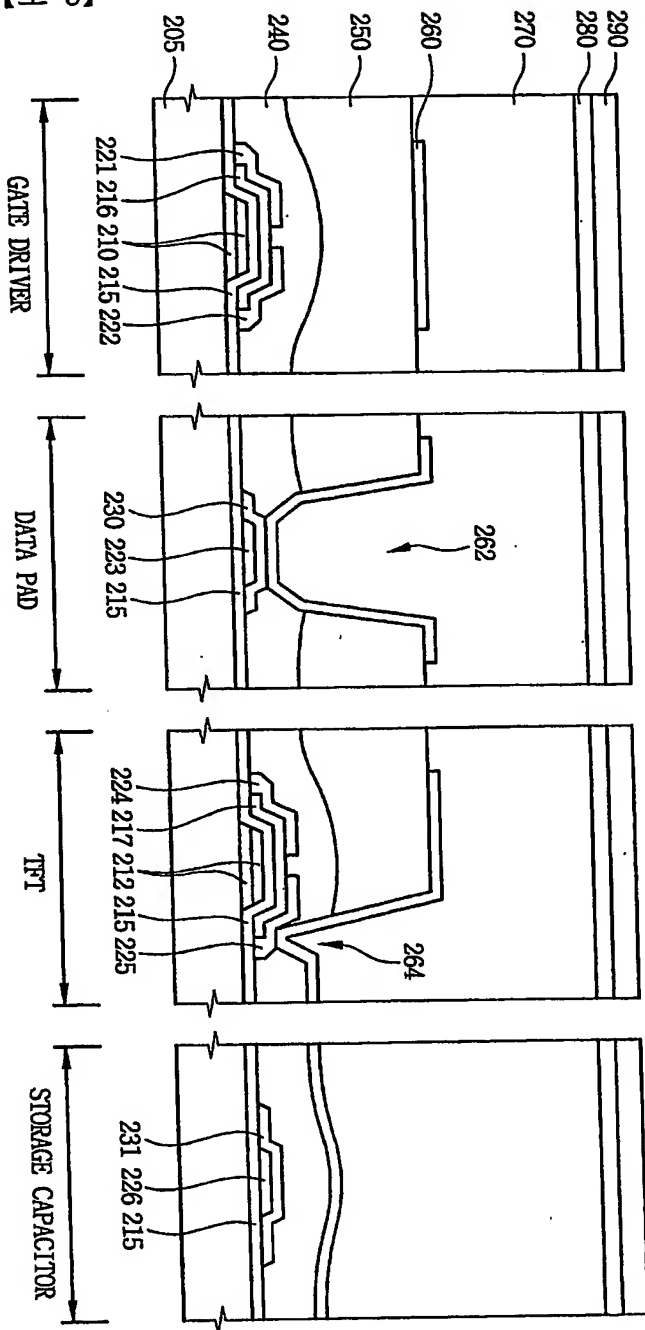
150



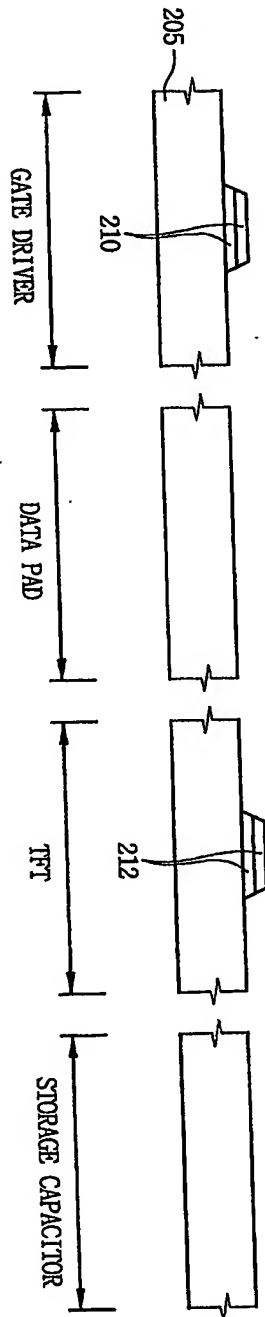
【도 4】



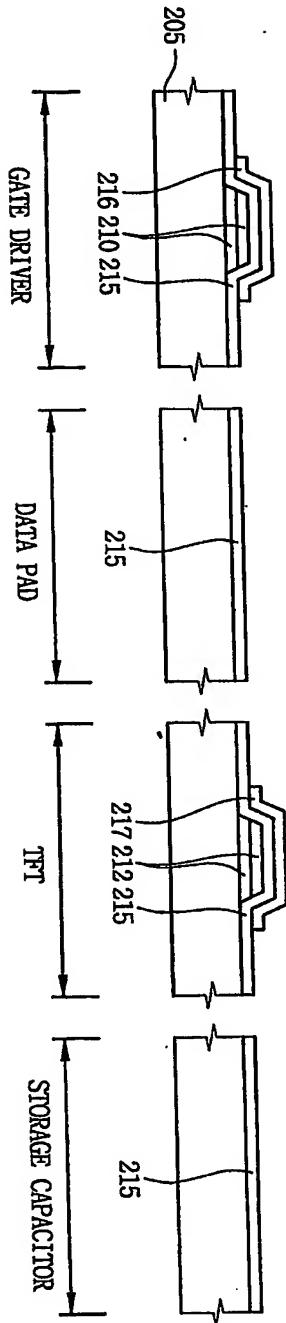
【도 5】



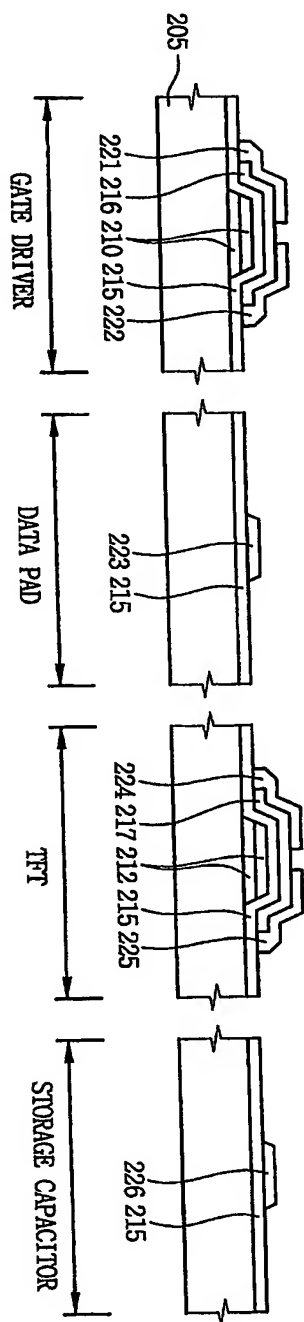
【도 6a】



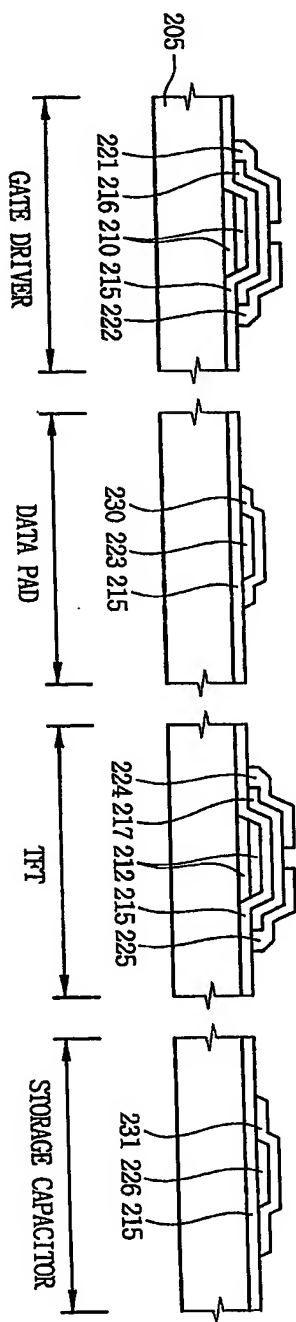
【도 6b】



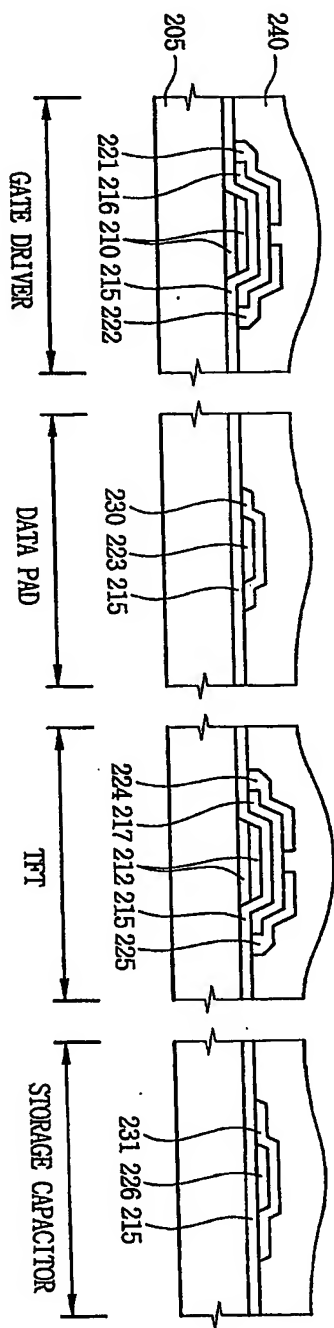
【도 6c】



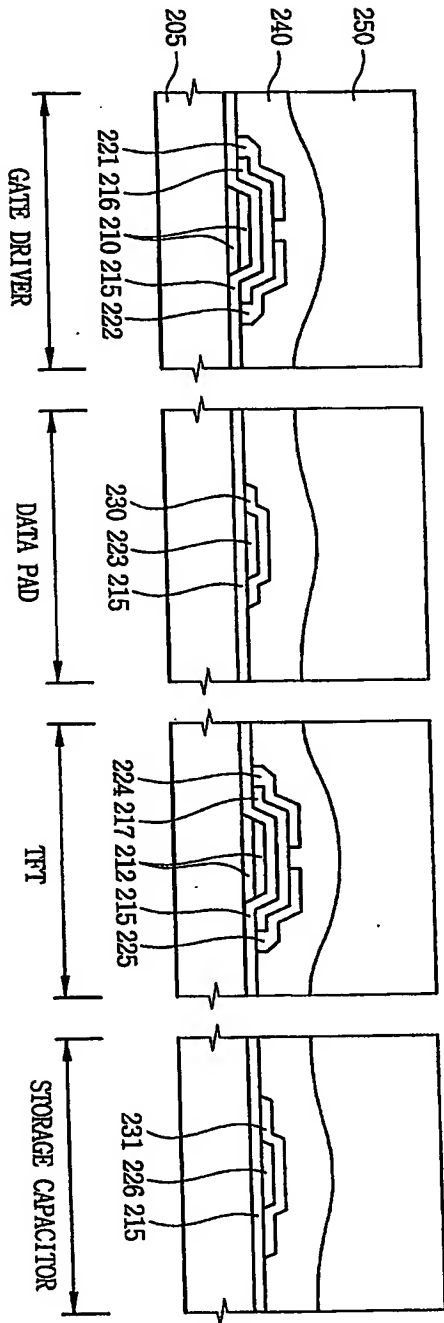
【도 6d】



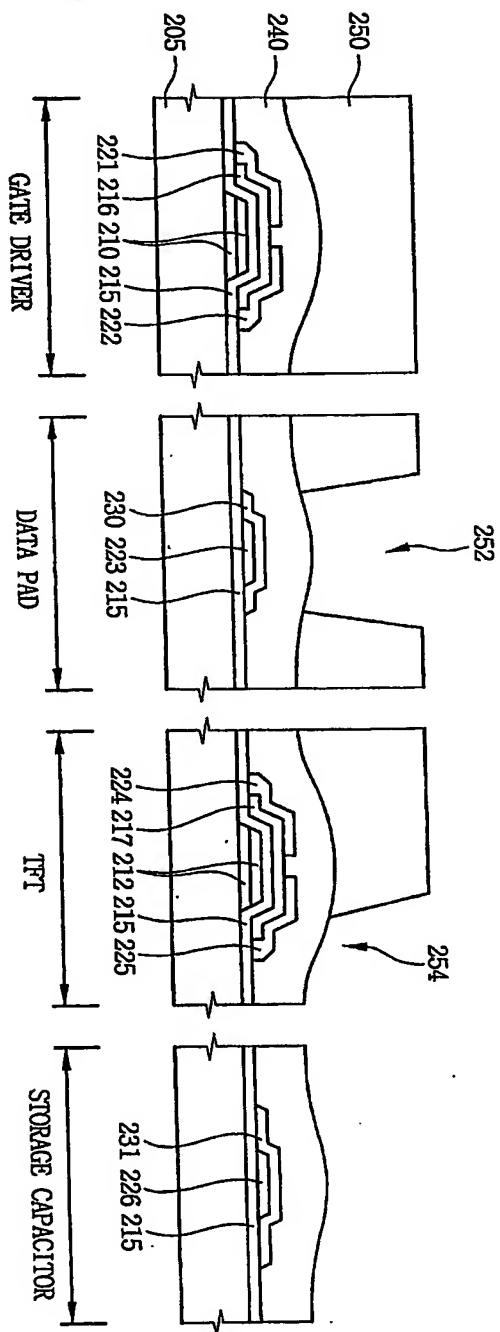
【도 6e】



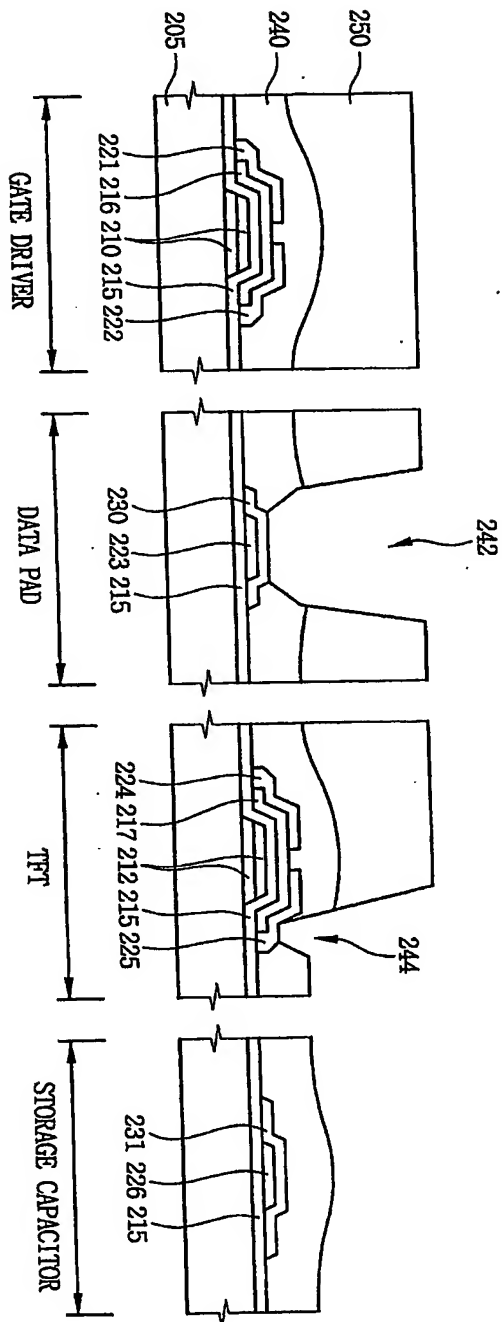
【도 6f】



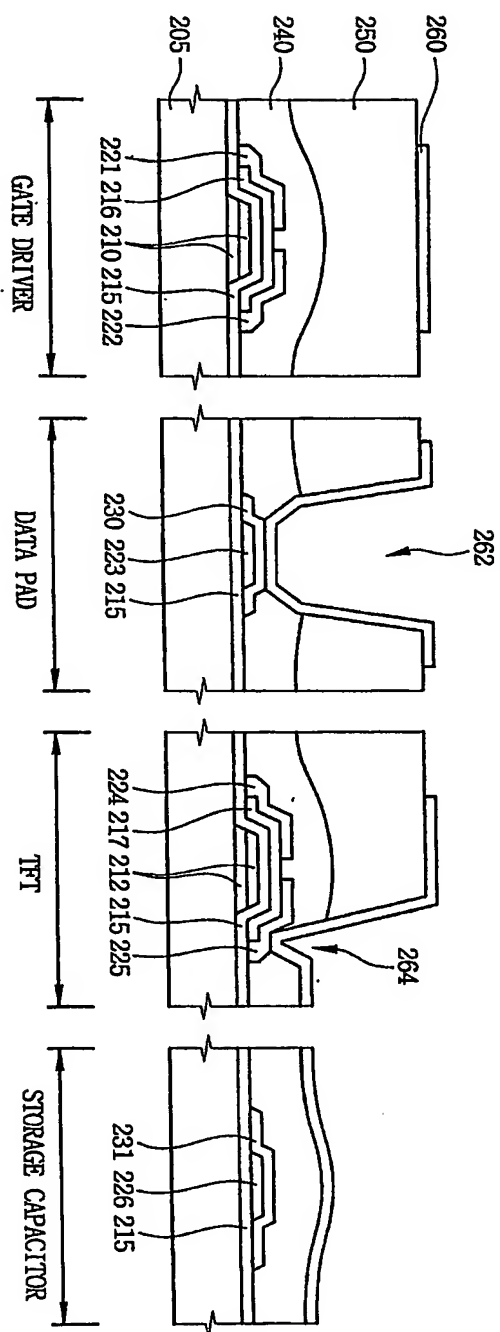
【도 6g】



【도 6h】



【도 6i】



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**